



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10321522 A**(43) Date of publication of application: **04 . 12 . 98**

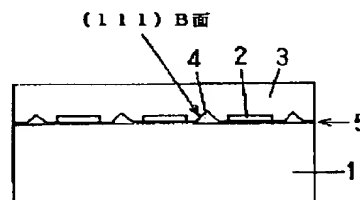
(51) Int. Cl.

H01L 21/20**H01L 21/205****H01L 33/00**(21) Application number: **09125364**(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**(22) Date of filing: **15 . 05 . 97**(72) Inventor: **OE KUNISHIGE**(54) **SEMICONDUCTOR STRUCTURE AND ITS
MANUFACTURE**

(57) Abstract:

PROBLEM TO BE SOLVED: To form a high-quality epitaxial crystal layer for semiconductor element on an Si substrate having a large area by setting the inclined angle of lines and spaces which are formed on an Si substrate, are composed of first semiconductor thin films, and have prescribed widths at a specific value.

SOLUTION: Lines and spaces composed of, for example, GaAs or InP layers 2 having widths of about 5 μm and GaAs etching sections (in which an Si substrate is exposed) having widths of about 5 μm are formed on the entire surface of the Si substrate 1 at an arbitrary angle of 15° to 40° from the (-110) orientation by the photoetching technology. Then a second GaAs or InP layer 3 is formed on the lines and spaces. In this case, the crystal growth expands in both the upward and lateral directions and the second crystal layer having a flat surface is obtained. Thus the second crystal growth is performed by using the semiconductor structure in which the GaAs layers 2 are partially formed on the Si substrate 1 in a line-and-space state as a substrate.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321522

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/20
21/205
33/00

H 0 1 L 21/20
21/205
33/00

A

審査請求 未請求 請求項の数 5 O L (全 4 頁)

(21) 出願番号

特願平9-125364

(22) 出願日

平成9年(1997)5月15日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 尾江 邦重

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

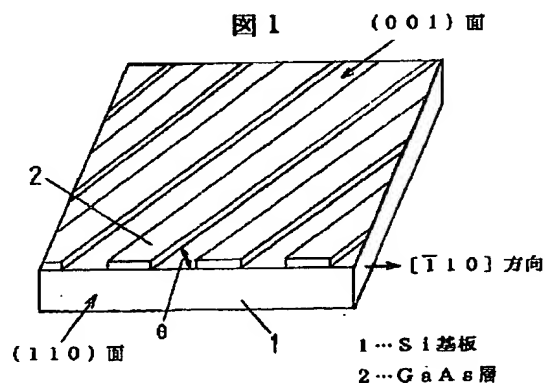
(74) 代理人 弁理士 中村 純之助

(54) 【発明の名称】 半導体構造およびその製造方法

(57) 【要約】

【課題】 大面積のS i 基板上に、高品質の半導体素子用のエピタキシャル結晶層を成長できる基板として用いられる半導体構造およびその製造方法を提供する。

【解決手段】 S i 基板上に、少なくともライン アンド スペース状に形成された第1の半導体薄膜層 (G a A s 層、G e 層等) と、この第1の半導体薄膜層の部分から成長した、連続して平坦な薄膜層である第2の半導体薄膜層 (G a A s 層、I n P 層等) を有する半導体構造とする。そして、その半導体構造の作製方法として、S i 基板上に第1の半導体薄膜層を形成する工程と、フォトリソ技術により、 $[-110]$ 方位から角度 $15^{\circ} \sim 40^{\circ}$ の間の任意の角度を有する所定幅の第1の半導体薄膜層部と、基板面が露出している所定幅のエッチング溝部からなるライン アンド スペースを基板全面に形成する工程と、基板全面に第2の半導体薄膜層を成長する工程を少なくとも含むプロセスとする。



(注) $[110]$ 方向は、明細書本文中では $[-110]$ で表わす。

【特許請求の範囲】

【請求項1】Si基板上に、該Si基板の $[-110]$ 方位から所定の角度および幅の第1の半導体薄膜層をラインアンドスペース状に配設し、該ラインアンドスペース状に配設した第1の半導体薄膜層の部分から成長させた連続して平坦な薄膜層である第2の半導体薄膜層を有することを特徴とする半導体構造。

【請求項2】請求項1において、ラインアンドスペース状に配設した第1の半導体薄膜層は、Si基板の $[-110]$ 方位から角度 $15^{\circ} \sim 40^{\circ}$ の間の任意の角度を有する所定幅の第1の半導体薄膜層であることを特徴とする半導体構造。

【請求項3】請求項1または請求項2において、第1の半導体薄膜層はGaAsよりなり、第2の半導体薄膜層はGaAsもしくはInPよりなることを特徴とする半導体構造。

【請求項4】請求項1または請求項2において、第1の半導体薄膜層はGeよりなり、第2の半導体薄膜層はGaAsもしくはInPよりなることを特徴とする半導体構造。

【請求項5】請求項1ないし請求項4のいずれか1項記載の半導体構造を製造する方法であって、Si基板上に、所定厚さの第1の半導体薄膜層を形成する工程と、該第1の半導体薄膜層を、フォトリソ技術を用いて、 $[-110]$ 方位から角度 $15^{\circ} \sim 40^{\circ}$ の間の任意の角度を有する所定幅の第1の半導体薄膜層部と、上記基板面が露出している所定幅のエッチング溝部からなるラインアンドスペースを基板全面に形成する工程と、該基板全面に第2の半導体薄膜層を形成する工程を少なくとも含むことを特徴とする半導体構造の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子デバイス、光デバイス用の結晶成長基板として用いられる半導体構造およびその製造方法に関する。

【0002】

【従来の技術】III-V族半導体材料は、高周波用の電子デバイスや半導体レーザを始めとするオプトエレクトロニクス用デバイス等に広く用いられている。これらのデバイスを製作するに当たっては、現在、GaAsやInP等の2元化合物半導体のバルク結晶を基板として用い、その上にエピタキシャル成長により能動層を成長させている。これらのGaAsやInP上に成長させた能動層は、品質としては十分に満足されるものができるが、その基板の大きさは3インチ程度に限定され、大面積のエピタキシャル層ウエハを作製することは難しいという問題があった。近年、この問題点を解決するために、Si基板上にGaAs層やInP層を成長させる研

究がなされ、電界効果型トランジスタや半導体レーザ等のデバイスがSi基板上的エピタキシャル層を用いて作製されるようになったが、品質の充分なものが得られず、Si基板上的エピタキシャル成長層を用いた場合には品質に問題があること等が指摘されている。

【0003】

【発明が解決しようとする課題】本発明の課題は、上記従来の問題点を解消し、大面積のSi基板上に、高品質のIII-V族半導体素子用エピタキシャル結晶層を得るための基板として用いられる半導体構造およびその製造方法を提供することにある。

【0004】

【課題を解決するための手段】本発明者は、種々の実験の結果、連続して平坦な第2の半導体薄膜層を成長させるためには、Si基板上に形成する第1の半導体薄膜層よりなる所定幅のラインアンドスペースの傾斜角度を、Si基板の $[-110]$ 方位より、角度 15 度から 40 度の間の任意の角度に設定することにより、その上に第2の半導体薄膜層であるGaAs層またはInP層等を成長させると、その結晶成長は上部および横方向にも広がり、その結果、表面が平坦な第2の半導体薄膜層が得られることを見出し、本発明がなされたものである。本発明は上記課題を達成するために、具体的には特許請求の範囲に記載のような構成とするものである。すなわち、本発明は請求項1に記載のように、Si基板上に、該Si基板の $[-110]$ 方位から所定の角度および幅の第1の半導体薄膜層をラインアンドスペース状に配設し、該ラインアンドスペース状に配設した第1の半導体薄膜層の部分から成長させた連続して平坦な薄膜層である第2の半導体薄膜層を有する半導体構造とするものである。また、本発明は請求項2に記載のように、請求項1において、ラインアンドスペース状に配設した第1の半導体薄膜層は、Si基板の $[-110]$ 方位から角度 $15^{\circ} \sim 40^{\circ}$ の間の任意の角度を有する所定幅の第1の半導体薄膜層よりなる半導体構造とするものである。また、本発明は請求項3に記載のように、請求項1または請求項2において、第1の半導体薄膜層はGaAsよりなり、第2の半導体薄膜層はGaAsもしくはInPよりなる半導体構造とするものである。また、本発明は請求項4に記載のように、請求項1または請求項2において、第1の半導体薄膜層はGeよりなり、第2の半導体薄膜層はGaAsもしくはInPよりなる半導体構造とするものである。また、本発明は請求項5に記載のように、請求項1ないし請求項4のいずれか1項記載の半導体構造を製造する方法であって、Si基板上に、所定厚さの第1の半導体薄膜層を形成する工程と、該第1の半導体薄膜層を、フォトリソ技術を用いて、 $[-110]$ 方位から角度 $15^{\circ} \sim 40^{\circ}$ の間の任意の角度を有する所定幅の第1の半導体薄膜層部と、上記基板面が露出している所定幅のエッチング溝部

からなるライン アンド スペースを基板全面に形成する工程と、該基板全面に第2の半導体薄膜層を形成する工程を少なくとも含む半導体構造の製造方法とするものである。本発明は、請求項1ないし請求項5に記載のように、Si基板上に、所定の角度〔例えば、 $[-110]$ 方位から角度 $15^\circ \sim 40^\circ$ の間の任意の角度〕および幅（例えば、約 $5\mu\text{m}$ 程度）で形成されたライン アンド スペース状の第1の半導体（GaAs、Ge等）薄膜結晶層を持ち、その部分から成長して、連続した平坦な層となった第2の半導体（GaAs、InP等）薄膜結晶層を持つことを特徴とするものである。このような構成とすることにより、Si基板上に、従来技術において報告されているよりも、はるかに転位密度の低い良質の半導体結晶層を容易に作製できる効果がある。

【0005】

【発明の実施の形態】

〈実施の形態1〉以下に本発明の実施の形態を挙げ、図面を用いてさらに詳細に説明する。図1は、本実施の形態で例示するSi基板上に形成したライン アンド スペース状のGaAs薄膜結晶を示す模式図である。この構造を得るためには、まず、ジャパニーズ ジャーナル オブ アプライド フィジックス、第23巻、（1984年）、L843頁〔秋山らによる Japanese Journal of Applied Physics, vol. 23, （1984）、L843〕に開示されており、また従来より広く用いられている2段階成長法によってSi基板上に均一な厚さのGaAs薄膜層を得ることができる。このGaAs薄膜層の厚さについては、特に制限はないが $0.3\mu\text{m}$ から $1\mu\text{m}$ 程度の厚さが適当である。そして、本発明者は種々実験を行った結果、フォトエッチング技術等を使って、 $[-110]$ 方位より、角度 15 度から 40 度の間の任意の角度をなし、約 $5\mu\text{m}$ 程度の幅のGaAs（またはInP、Ge等）層と約 $5\mu\text{m}$ 程度の幅のGaAsエッチング部（Si基板が露出）からなるライン アンド スペースを基板面全体に形成し、その上に2回目のGaAs層またはInP層等を形成した場合に、その結晶成長が上部および横方向に広がり、表面が平坦な2回目の結晶層が得られることを見出したものである。そして、図1に示すように、Si基板上に一部GaAs層をライン アンド スペース状に形成した半導体構造を基板として用い、以下に示す方法で第2回目の結晶成長を行った。有機金属であるトリメチルガリウムとアルシンを用い、成長温度を 600°C から 700°C とし、周期表の第V族/第III族比を 40 以上とすることにより、ライン状のGaAs結晶層から成長するエピタキシャルGaAs層は、図2に示すように、 (111) B面を出現させて、数 μm 成長後には平坦な表面を持つGaAs層（2回目の成長により形成されたGaAs層）3となった。このように平坦となったGa*

*As層3では、SiとGaAsの格子定数の違いから生ずるミスフィット転位または歪みによる転位5は、成長途中でなくなるものが多く、そのエッチピット密度は、 $10^4/\text{cm}^2$ 台で、従来より2桁少なくなっていた。また、この2回目の結晶成長後、室温までの温度に冷却する段階において、SiとGaAs層の熱膨張係数の違いにより、成長層は応力を受けるが、図2に示すように、その応力はSi基板上に残留したライン状のGaAs結晶部での転位の導入により緩和され、成長層内での残留応力は $10^8\text{dyn}(\text{ダイン})/\text{cm}^2$ 台で、従来の十分の一以下に少なくすることができた。このような層構造を有するものを新たな基板として用いて、その上に半導体レーザや電子デバイス等、目的とする素子に応じた層構造を成長させて、それを用いることにより、GaAs基板上のエピタキシャル成長膜を用いた場合と同様の高性能で信頼性のある素子を実現することができた。また、この素子に応じた層構造を得るための結晶成長は、上記2回目の成長過程から連続して行っても良いことは言うまでもない。

20 【0006】〈実施の形態2〉本実施の形態においては、実施の形態1と同様の方法で、図1と同じSi基板上に形成したライン アンド スペース状のGaAs層上にInP層を成長させた。適当な成長条件を選ぶことによって、図2と同様の平坦なInP成長層が得ることができた。第1、第2の実施の形態においては、Si基板上に形成するライン アンド スペースの半導体層には、GaAsを用いたが、GaAsの代わりに、Ge等の他の材料を用いることも可能である。

【0007】

30 【発明の効果】以上説明したように、本発明の半導体構造およびその製造方法によれば、Si基板上に転位密度や残留応力の小さいGaAs層またはInP層等を得ることができるので、この層構造を用いることにより、高性能で信頼性の高い素子構造をSi基板上に実現できる効果がある。

【図面の簡単な説明】

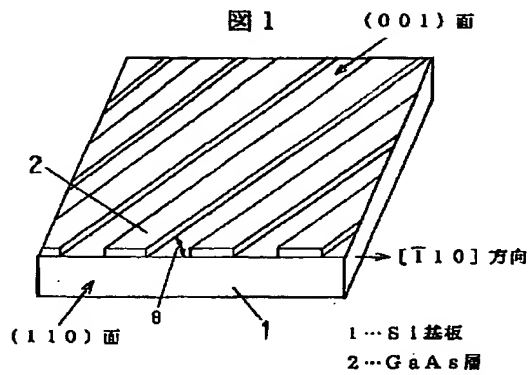
【図1】本発明の実施の形態で例示したSi基板上に形成したライン アンド スペース状のGaAs薄膜結晶を示す模式図。

40 【図2】本発明の実施の形態で例示したSi基板上にGaAs層を有する半導体構造の断面構成を示す模式図。

【符号の説明】

- 1…Si基板
- 2…GaAs層
- 3…2回目の成長により形成されたGaAs層
- 4…空孔
- 5…ミスフィット転位または歪みによる転位

【図1】



(注) 〔110〕方向は、明細書本文中では〔-110〕で表わす。

【図2】

